

CLOCK MULTIPLAYING SYSTEM

Patent Number: JP6188898
Publication date: 1994-07-08
Inventor(s): TOMONAGA HIROSHI; others: 02
Applicant(s): FUJITSU LTD
Requested Patent: ☐ JP6188898
Application Number: JP19920335831 19921216
Priority Number(s):
IPC Classification: H04L12/48; H04L7/00
EC Classification:
Equivalents:

Abstract

PURPOSE:To accelerate switching at an ATM exchange by accelerating a reference clock, which is inputted from the outside, within a switch circuit and setting retiming for the output of data based on this clock.

CONSTITUTION:An ATM switch connecting the plural steps of switch circuits 1 provided with passage switching means 6 for arbitrarily switching data output passages with input and output highways 3a and 3b is provided with a clock distributing means 2 for distributing the reference clock at any specified frequency to each switch circuit 1. Further, each switch circuit 1 is provided with a buffer 5 for storing data inputted from the input highway 3a, buffer control means 7 and clock multiplication part 7a. Then, the clock multiplication part 7a multiplies the frequency of the reference clock inputted from the clock distributing means 2 based on any arbitrary multiplication value and sends the clock to the switch circuit 1 in the next step. Based on this multiplied clock, the buffer control means 7 reads data from the buffer 5.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-188898

(43)公開日 平成 6 年(1994) 7 月 8 日

(51)Int.Cl.⁵

H 0 4 L 12/48

7/00

識別記号

庁内整理番号

F I

技術表示箇所

A 7928-5K

8732-5K

H 0 4 L 11/ 20

Z

審査請求 未請求 請求項の数 5 (全 9 頁)

(21)出願番号

特願平4-335831

(22)出願日

平成 4 年(1992)12月16日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 朝永 博

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 加藤 祐司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 松岡 直樹

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

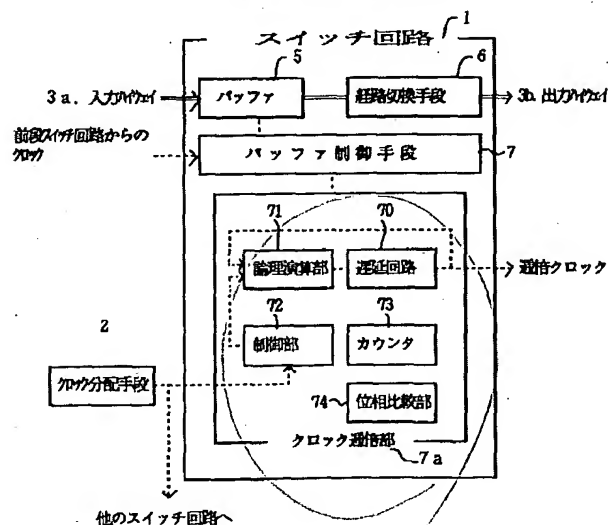
(54)【発明の名称】 クロック通信方式

(57)【要約】

【目的】 ATMスイッチにおいて、スイッチ間の同期を正確にとり、ATM交換機におけるスイッチング処理の高速化を図ることを目的とする。

【構成】 特定周波数の基準クロックを前記各スイッチ回路へ分配・出力するクロック分配手段 (2) を備えると共に、各スイッチ回路 (1) には、任意のデータを格納するバッファ (5) と、前記バッファ (5) へデータの書き込み／読み出しを行うバッファ制御手段 (7) と、基準クロックの周波数を通信倍化するクロック通信部 (7 a) とを備える。

本発明の原理図



【特許請求の範囲】

【請求項1】 データ出力経路を任意に切り替える経路切換手段(6)を有するスイッチ回路(1)を、入出力ハイウェイ(3)により複数段接続して構成されるATMスイッチにおいて、

前記各スイッチ回路(1)へ特定周波数の基準クロックを分配・出力するクロック分配手段(2)を備えると共に、

各スイッチ回路(1)には、任意のデータを格納するバッファ(5)と、

前記バッファ(5)の書き込み/読み出しを行うバッファ制御手段(7)と、

基準クロックの周波数を逡倍化するクロック逡倍部(7a)とを備え、

前記バッファ制御手段(7)は、前記入力ハイウェイ(3a)から任意のデータが入力された際に、前段のスイッチ回路(1)から出力されるクロックに基づいて当該データを前記バッファ(5)へ書き込み、

前記クロック逡倍部(7a)は、前記クロック分配手段(2)から入力される基準クロックの周波数を任意の逡倍値に基づいて逡倍化し、この逡倍クロックを次段のスイッチ回路(1)へ送出すると共に、前記バッファ制御手段(7)へ出力し、

前記バッファ制御手段(7)は、当該逡倍クロックに基づいて前記バッファ(5)へアクセスし、前記データの読み出しを行うことを特徴とするクロック逡倍方式。

【請求項2】 任意に設定される逡倍値に基づいて、外部から入力されるクロックの周波数を逡倍化する方式であり、

入力信号を特定時間経過後に出力する逡延回路(70)と、

任意の論理演算処理を行う論理演算部(71)と、

前記各部の制御を行う制御部(72)とを備え、

前記制御部(72)は、任意に設定される逡倍値に基づいて前記特定時間を決定すると共に、外部からクロックを入力した際に、前記逡延回路(70)へ任意の2値信号を送出し、

前記逡延回路(70)は、前記2値信号を前記特定時間経過後に前記制御部(72)及び論理演算部(71)へ出力し、

前記論理演算部(71)は、前記逡延回路(70)からの出力値及び前記制御部(72)からの2値信号を監視して少なくとも一方の出力値が変化した際に、これらの値に論理演算処理を施し、この論理演算処理により得られた値を再度逡延回路(70)へ入力し、

前記制御部(72)は、以上の動作を繰り返し行い、前記逡延回路(70)から出力される信号を逡倍クロックとして出力することを特徴とするクロック逡倍方式。

【請求項3】 前記請求項3において、前記逡延回路(70)からの出力発生回数を計数するカウンタ(7

3)、及び前記逡延回路(70)から出力される逡倍クロックと外部からのクロックの位相を比較する位相比較部(74)を設け、

前記制御部(72)は、外部からクロックを入力した際に、前記カウンタ(73)を起動させると共に、前記逡延回路(70)から出力発生時に前記カウンタ(73)をインクリメントし、

前記カウンタ(73)の計数値が前記逡倍値に達した際に、前記論理演算部(71)の動作を停止させ、

前記位相比較部(74)は、前記逡延回路(70)から出力される逡倍クロックと前記外部クロックとの位相を比較して同期しているか否かを判別し、

前記双方のクロックが同期していない場合に、前記制御部(70)は、前記逡延回路(70)の特定時間を任意に変更することを特徴とする請求項2記載のクロック逡倍方式。

【請求項4】 前記逡延回路(70)は、複数のインバータを接続して構成することを特徴とする請求項2記載のクロック逡倍方式。

【請求項5】 前記制御部(72)は、前記特定時間を前記インバータの接続段数により制御することを特徴とする請求項4記載のクロック逡倍方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、次世代の通信技術として注目されているB-ISDNにおいて、特にATM交換機におけるスイッチング技術に適用して有効な技術に関する。

【0002】

【従来の技術】最近では通信技術の向上に伴い次世代の通信技術としてB-ISDN(Broadband Integrated Service Digital Network)が注目されている。このB-ISDNでは音声データに加え、画像データ等を伝送可能となるため、Tbps級の大容量交換機が必要となる。この交換機としてはATM交換機が注目されている。この場合、多量の情報を交換処理するに当り、処理速度の高速化が重要な課題となる。

【0003】ATM交換機において、入出力経路の切換を高速に行う構成として、クロスポイントスイッチを複数段接続したATMスイッチが注目されている。このATMスイッチは高速処理に適しており、ATM交換機の処理効率の向上、すなわちハードウェア及び消費電力の効率的な使用が可能となる。

【0004】一方、任意の回路を高速動作させる方法としてクロックの周波数を倍周化する技術が知られている。図7に従来のクロック倍周回路の一例を示す。

【0005】同図は、クロックの周波数を2倍へ倍増させる回路の構成例であり、逡延回路200、排他的論理和回路300とを備える。そして、クロック発生装置から発生した基準クロックを逡延回路200及び排他的論

理和回路300の双方へ入力させ、遅延回路200の出力を排他的論理和回路300へ入力させる構成としている。尚、同図では、クロック発生装置から出力される基準クロックの周期をFとしてる。

【0006】上記した遅延回路200としては、バッファ等が考えられ、このバッファの入力から出力にかかる時間を $1/2F$ とする。また、図中、CLKIはクロック発生装置100から入力される基準クロック、CLKDは遅延回路から出力されるクロック、CKOは当該クロック倍周回路から出力される倍周クロックを示す。この倍周回路によれば、遅延回路200から排他的論理和回路300へ入力されるクロックCLKDは、クロック発生装置100から入力されるクロックCLKIに比べ $1/2F$ 周期遅延して入力されることとなる。このとき、排他的論理和回路300は、双方の信号のうち少なくとも一方の出力変化を認識して、論理演算を行う。従って、排他的論理和回路300からの出力発生周期は $1/2$ 周期となり（図8のタイムチャート参照）、この値を倍周クロックとして出力する。

【0007】

【発明が解決しようとする課題】ところで、ATM交換機では、通信処理の高速化が重要な課題であるため、ATMスイッチにおいて個々のスイッチ回路の高速化が必要となる。しかし、周波数の高いクロックは、配線伝送過程において、特に長距離の配線を伝送する場合には、波形が乱れ、伝送が困難になるという問題がある。

【0008】一方、前記のクロック倍周回路では入力クロックのデューティサイクルと遅延素子の遅延時間に波形が大きく左右されるという問題がある。そこで、本発明は、前記問題点に鑑みてなされたものであり、外部から入力された基準クロックをスイッチ回路内において高速化し、このクロックに基づいてデータの出力をリタイミングすることにより、スイッチ間の同期を正確にとり、ATM交換機におけるスイッチング処理の高速化を図ることを課題とする。

【0009】

【課題を解決するための手段】本発明は、前記課題を解決するために以下の様にした。これを図1の原理図に基づいて説明する。

【0010】本発明は、データ出力経路を任意に切り替える経路切換手段6を有するスイッチ回路1を、入出力ハイウェイ3により複数多段接続して構成されるATMスイッチに関する。このATMスイッチには、個々のスイッチ回路1へ特定周波数の基準クロックを分配するクロック分配手段2を備える。

【0011】さらに、各スイッチ回路1には、バッファ5、バッファ制御手段7、クロック逡倍部7aを備える。上記したバッファ5は、入力ハイウェイ3aから入力されるデータを格納するものである。

【0012】クロック逡倍部7aは、クロック分配手段

2から入力される基準クロックの周波数を任意に逡倍化し、この逡倍クロックを前記バッファ制御手段7及び次段のスイッチ回路1へ出力するものである。

【0013】バッファ制御手段7は、入力ハイウェイ3aから入力されるデータを、前段のスイッチ回路1から入力したクロックに基づいてバッファ5へ書き込むと共に、前記クロック逡倍部7aから入力した逡倍クロックに基づいてバッファ5のデータを読み出す。

【0014】上記したクロック逡倍部7aとしては、遅延回路70、論理演算部71、制御部72から構成することが考えられる。この場合、遅延回路70と論理演算部71はループを形成するように接続する。すなわち、遅延回路70からの出力値を前記論理演算部71を介して再度遅延回路70へ入力するようにする。

【0015】上記した遅延回路70は、入力信号を特定時間経過後に出力するものである。論理演算部71は、遅延回路70からの出力値及び制御部72からの信号に基づいて論理演算処理を行い、この処理により得られる値を再度遅延回路70へ入力する。

【0016】制御部72は、上記した遅延回路70及び論理演算部71の動作を制御する。さらに、クロック逡倍部7aには、カウンタ73及び位相比較部70を備えるようにしてもよい。

【0017】カウンタ73は、遅延回路70の出力発生回数を計数するものである。一方、位相比較部70は、前記遅延回路70から出力される逡倍クロックと外部からのクロックの位相を比較するものである。

【0018】さらに、前記した遅延回路70としては、例えば複数のインバータを直列に接続して構成するようにしてもよい。

【0019】

【作用】本発明によれば、バッファ制御手段7は、前記入力ハイウェイ3aから任意のデータが入力された際に、前段のスイッチ回路1から出力されるクロックに基づいて当該データを前記バッファ5へ書き込む。ここで、クロック逡倍部7aは、クロック分配手段2から入力される基準クロックの周波数を任意に逡倍化し、逡倍クロックを次段のスイッチ回路1及びバッファ制御手段7へ出力する。

【0020】そして、バッファ制御手段7は、前記した逡倍クロック7aから逡倍クロックを入力した際に、この逡倍クロックに基づいてバッファ5へアクセスし、前記データの読み出しを行う。ここで読み出されたデータは経路切換手段6を介して任意の出力ハイウェイ3bへ送出される。

【0021】以下に、クロック逡倍部7aの動作過程について詳細に説明する。クロック逡倍部7aでは、制御部72は、任意に設定される逡倍値に基づいて特定時間を決定する。そして、外部からクロック、例えば上記の基準クロックを入力した際に、遅延回路70へ任意の2

値信号を送出する。

【0022】遅延回路70では、当該2値信号を入力後特定時間遅延させて出力する。この出力信号は、論理演算回路71へ送出すると共に、制御部72へ送出する。論理演算回路71は、制御部72からの2値信号と、遅延回路70からの出力信号に任意の論理演算処理を施し、この結果得られた信号値を再度遅延回路70へ入力させる。

【0023】遅延回路70では、上記同様にこの信号を特定時間経過後に制御部72及び論理演算部71へ出力する。以上の動作を繰り返し行つた結果得られる信号を逓倍クロックとして出力することができる。すなわち、遅延回路70の出力値をループさせることにより、前述の基準クロックに比べて周波数の高い逓倍クロックを得られる。

【0024】さらに、逓倍部7aにカウンタ73及び位相比較部74を備えた場合には、制御部72は、外部からクロックを入力した際に、カウンタ73の計数値をリセットし、カウンタ73を起動させる。

【0025】カウンタ73は、遅延回路70を監視して、信号出力時に計数値をインクリメントする。ここで、カウンタ73の計数値が前記した逓倍値と同値になった場合、制御部72は、論理演算部71の動作を停止させると共に、位相比較部74を動作させる。

【0026】位相比較部74は、遅延回路70から出力される逓倍クロックと外部クロックとの位相を比較して同期しているか否かを判別する。同期している場合には、上記の動作を繰り返し行い、逓倍クロックの生成を続行する。

【0027】また、同期がとれていない場合、すなわち、遅延回路70の特定時間が長過している場合には、制御部72は、前記の特定時間を変更し、上記と同様の動作を同期するまで繰り返し行う。

【0028】なお、遅延回路70を複数のインバータにより構成した場合には、特定時間の設定をインバータの段数を変更することにより行う。ここで、インバータの段数が偶数になる場合には、後段に排他的論理和回路を設け、この排他的論理和回路をインバータとして機能させるようにしてもよい。

【0029】

【実施例】以下に、本発明の具体的な実施例について説明する。図2は、本実施例におけるATMスイッチの概略構成図である。

【0030】本実施例におけるATMスイッチは、 3×3 のマトリックス状にスイッチ回路10を多段接続して構成する。さらに基準クロックを出力するクロック発生装置11を設け、このクロック発生装置11の出力は9つのスイッチ回路10すべてに入力する。この基準クロックの周波数は、何れのスイッチ回路10へ伝送した場合でもノイズの発生しない程度に低く設定する。

【0031】さらに、本実施例におけるスイッチ回路10はクロスポイントスイッチであり、水平方向及び垂直方向の2本の入力ハイウェイ8と、水平方向及び垂直方向の日本の出力ハイウェイ9を有する。図3に本実施例におけるスイッチ回路10の内部構成を示す。

【0032】同図において、水平方向の入力ハイウェイを第1入力ハイウェイ8Aとし、垂直方向の入力ハイウェイを第2入力ハイウェイ8Bとすると共に、水平方向の出力ハイウェイを第1出力ハイウェイ9Aとし、垂直方向の出力ハイウェイを第2出力ハイウェイ9Bとする。

【0033】さらに、それぞれの入力ハイウェイ8上には入力データを格納するエラスティックバッファ12A及びエラスティックバッファ12Bを介在させる。また、エラスティックバッファ12Bと第2出力ハイウェイの間に、スイッチング回路14を設ける。

【0034】さらに、当該スイッチ回路10では、エラスティックバッファ12Aの出力を2経路に分岐し、一方を第1出力ハイウェイ9Aへ接続すると共に、他方をスイッチング回路14へ接続する。

【0035】本実施例では、当該スイッチ回路10にクロック逓倍回路13を設ける。このクロック逓倍回路13は、上記したクロック発生装置11から基準クロックを入力し、この基準クロックの周波数を逓倍する。そして、この逓倍クロックをエラスティックバッファ12A及びエラスティックバッファ12Bへ出力すると共に、次段のスイッチ回路10へ出力するようにする。

【0036】さらに、各エラスティックバッファ12には前段のスイッチ回路10により逓倍化されたクロックを入力する。各エラスティックバッファ12は、入力データの書き込みを前段のスイッチ回路10から入力されるクロックに基づいて行い、当該入力データの読み出しを、クロック逓倍回路13から入力される逓倍クロックに基づいて行う。

【0037】図4に、本実施例におけるクロック逓倍回路13の内部構成を示す。クロック逓倍回路13は、リングオシレータ13a、n進カウンタ13b、微分回路13c、位相比較回路13dを備える。

【0038】リングオシレータ13aは、基準クロックの周波数を所望の倍数値に基づいて逓倍化する。この具体的な説明は後述する。n進カウンタ13bは、リングオシレータ13aにより逓倍化された逓倍クロックの出力回数を計数するものである。すなわち、1基準クロック当りの逓倍クロック出力回数を計数するものであり、例えば、所望の倍数値をnとした場合に、当該n進カウンタ13bは、基準クロックを受信した際に計数を開始し、逓倍クロックの出力をn回計数した場合に、CARRY信号を発信してリングオシレータ13aを停止させる。

【0039】微分回路13cは、基準クロックを受信し

た際に、 n 進カウンタ13bへCLEAR信号を送出し、 n 進カウンタ13bをリセットして当該クロック逡倍回路13を起動させる回路である。

【0040】位相比較回路13dは、リングオシレータ13aから発生した逡倍クロックと基準クロックの位相を比較して、所望の倍数値に対応する逡倍クロックか否か、すなわち、逡倍クロックの位相を n 倍したものと基準クロックの位相が同期しているかを判別してリングオシレータ13を制御する。

【0041】次に、図5に本実施例におけるリングオシレータ13の内部構成を示す。同図において、当該リングオシレータ13aは、複数のインバータ131と共に、論理和回路130、セクタ132、排他的論理和回路133、制御回路134を備える。

【0042】論理和回路130及びインバータ131は直列接続し、インバータ131の後段にはセクタ132及び排他的論理和回路133を接続している。さらに本実施例では排他的論理和回路133からの出力を上記の論理和回路130へ入力させ、ループを形成するようにしている。

【0043】同図において、インバータ131は、7個を直列に接続しており、各インバータ131の出力は後段のインバータ131へ入力すると共に、セクタ132へ入力するようにする。

【0044】ここで、セクタ132は、何れのインバータ131、言い換えれば第何段目のインバータから逡倍クロックを出力させるかを選択切換するものである。排他的論理和回路133は、バッファ機能とインバータ機能を有し、後述の制御回路134により機能の切換を行う。当該排他的論理和回路133からの出力を前記論理和回路130へループ接続している。

【0045】制御回路134は、位相比較回路13dからの指示により、セクタ132及び排他的論理和回路133を制御するものである。例えば、第7段目のインバータから逡倍クロックを出力した場合に、位相比較回路13bから遅延時間の短縮指示を受けると、当該制御回路134は、遅延時間の短縮を図るべく、第6段目のインバータ131から逡倍クロックを出力させる。このとき、セクタ132を動作させて、図中"D1"から逡倍クロックを出力させるが、インバータ131の段数が偶数となるため、排他的論理和回路133をインバータとして動作させ、出力値を反転させる。

【0046】図6にクロック逡倍回路のタイムチャートを示す。同図は倍数値" n "を2としており、図中CLK1は基準クロック、CLRはクリア信号、CLK2は逡倍クロック、ENBは位相比較回路からの制御信号を示す。さらに図中Aは逡倍クロックの周期が長過した場合のタイムチャートであり、一方図中Bは逡倍クロックの周波数が安定した場合のタイムチャートである。

【0047】以下に当該クロック逡倍回路13の動作過

程について説明する。クロック逡倍回路13では、微分回路13cが基準クロックの入力を認識し、CLEAR信号を n 進カウンタ13bへ送出する。

【0048】 n 進カウンタ13cはCLEAR信号によりカウンタ値をクリアし、リングオシレータ13aを起動させる。このとき、リングオシレータ13aの遅延時間は最大に設定されており、すなわち前述の図5においてセクタ132は"D0"から逡倍クロックを出力させる。この場合にはインバータ131の段数は奇数であるから排他的論理和回路133はバッファとして動作させる。

【0049】 n 進カウンタ13cはリングオシレータ13aからの逡倍クロック発生回数を計数し、計数値が n に達した時点でCARRY信号を送出する。このCARRY信号を受信した論理和回路130は出力を停止する。

【0050】ここで、位相比較回路13dでは、CARRY信号と基準クロックの位相を比較して、位相が一致しているか否かを判別する。CARRY信号と基準クロックの位相にずれが生じている場合、すなわちCARRY信号の周期が長過している場合（図6のA参照）には、位相比較回路13dは、リングオシレータ13aへ遅延量短縮指示を送出する。

【0051】リングオシレータ13aにおいて、制御回路134は、当該短縮指示を受けてセクタ132を動作させ、インバータ131の段数を減少させる。例えば、前述の図5において、セクタ132は当初"D0"から逡倍クロックを出力させていた場合には、逡倍クロックの出力を"D0"から"D1"以下へ切り替える。このとき、インバータ131の段数が偶数ならば、排他的論理和回路133をインバータとして動作させる。

【0052】以下、同様の動作を、CARRY信号と基準クロックとの位相が一致する迄繰り返す。CARRY信号と基準クロックの位相が一致した状態を図6のBに示す。同図では倍数値" n "を2に設定してある。

【0053】これにより、各エラスティックバッファ8では、クロック逡倍回路13によりリタイミングされた高速クロックによりデータの読み出しを行える。以上、本実施例によれば、各スイッチ回路は、個々に高速なクロックを生成すると共に、この高速クロックによりデータの読み出しを行い、高速なスイッチングを行うことができる。

【0054】

【発明の効果】本発明によれば、外部から入力された基準クロックをスイッチ回路内において高速化し、このクロックに基づいてデータの出力をリタイミングすることにより、スイッチ間の同期を正確にとり、ATM交換機におけるスイッチング処理の高速化を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の原理図

【図2】本実施例におけるATMスイッチの概略構成図

【図3】本実施例におけるスイッチ回路の内部構成図

【図4】本実施例におけるクロック逡倍回路の内部構成図

【図5】本実施例におけるリングオシレータの内部構成図

【図6】逡倍回路のタイムチャート図

【図7】従来のクロック2倍周回路の構成図

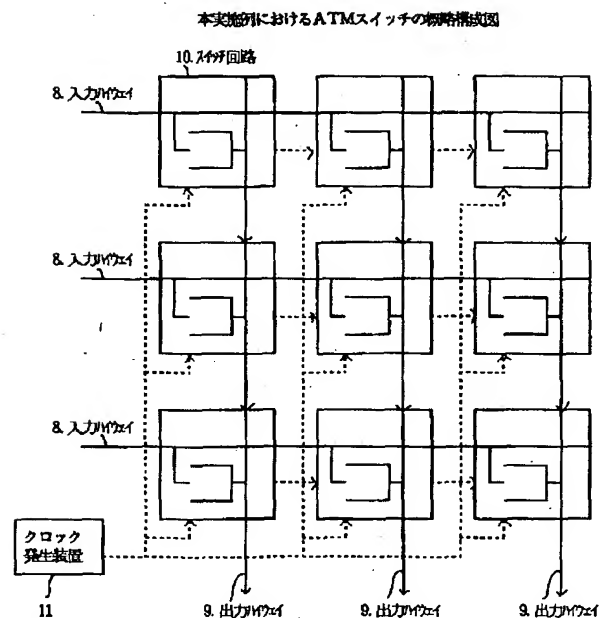
【図8】クロック2倍周回路のタイムチャート図

【符号の説明】

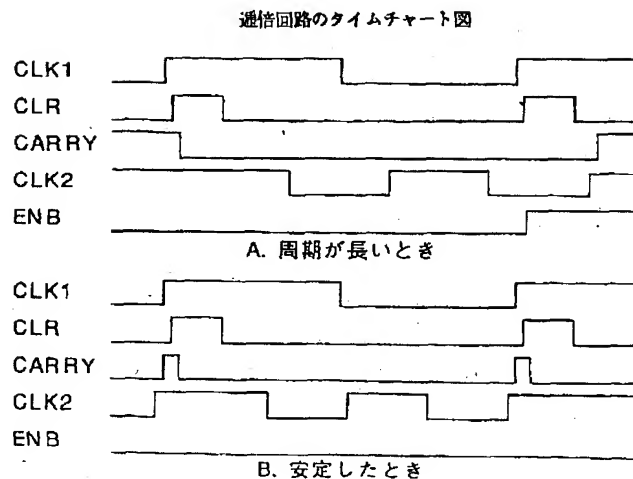
- 1・・・スイッチ回路
- 2・・・クロック分配手段
- 3 a・・・入力ハイウェイ
- 3 b・・・出力ハイウェイ
- 5・・・バッファ
- 6・・・経路切換手段
- 7・・・バッファ制御手段
- 7 a・・・クロック逡倍部
- 7 0・・・遅延回路
- 7 1・・・論理演算部
- 7 2・・・制御部

- 7 3・・・カウンタ
- 7 4・・・位相比較部
- 8・・・入力ハイウェイ
- 8 A・・・第1入力ハイウェイ
- 8 B・・・第2入力ハイウェイ
- 9・・・出力ハイウェイ
- 9 A・・・第1出力ハイウェイ
- 9 B・・・第2出力ハイウェイ
- 1 0・・・スイッチ回路
- 1 1・・・クロック発生装置
- 1 2 A・・・エラストックバッファ
- 1 2 B・・・エラストックバッファ
- 1 3・・・クロック逡倍回路
- 1 3 a・・・リングオシレータ
- 1 3 b・・・n進カウンタ
- 1 3 c・・・微分回路
- 1 3 d・・・位相比較回路
- 1 3 1・・・インバータ
- 1 3 2・・・セレクタ
- 1 3 3・・・排他的論理和回路
- 1 3 4・・・制御回路
- 1 4・・・スイッチング回路

【図2】

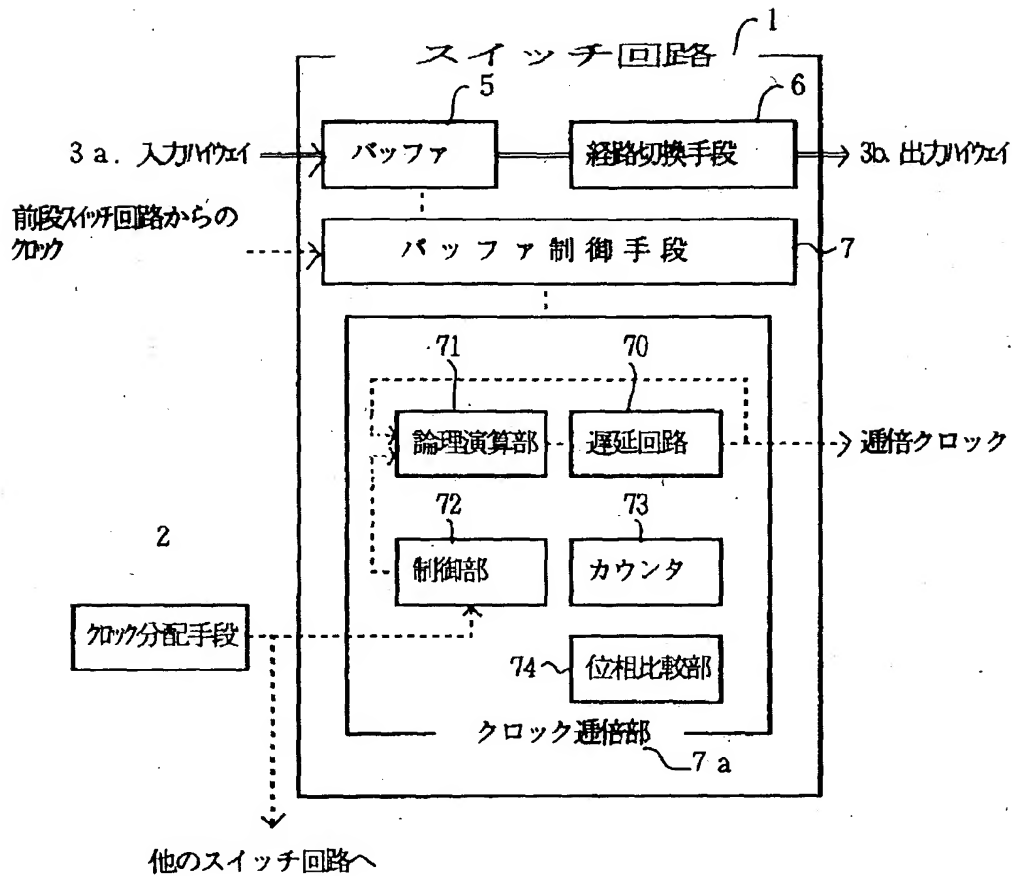


【図6】



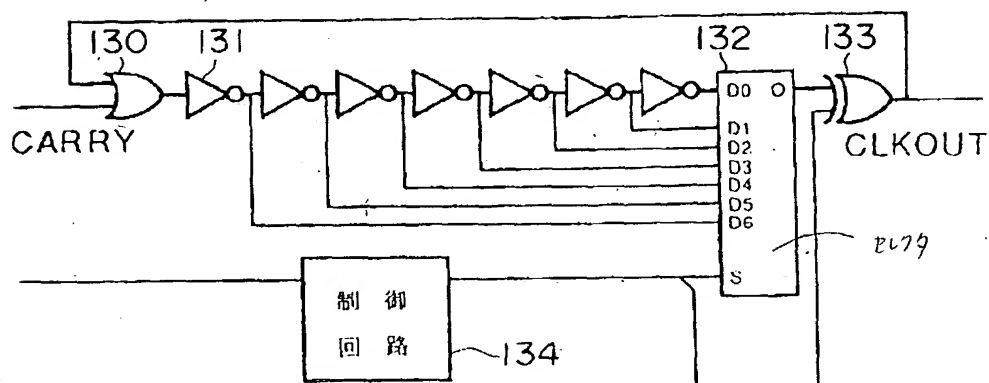
【図 1】

本発明の原理図



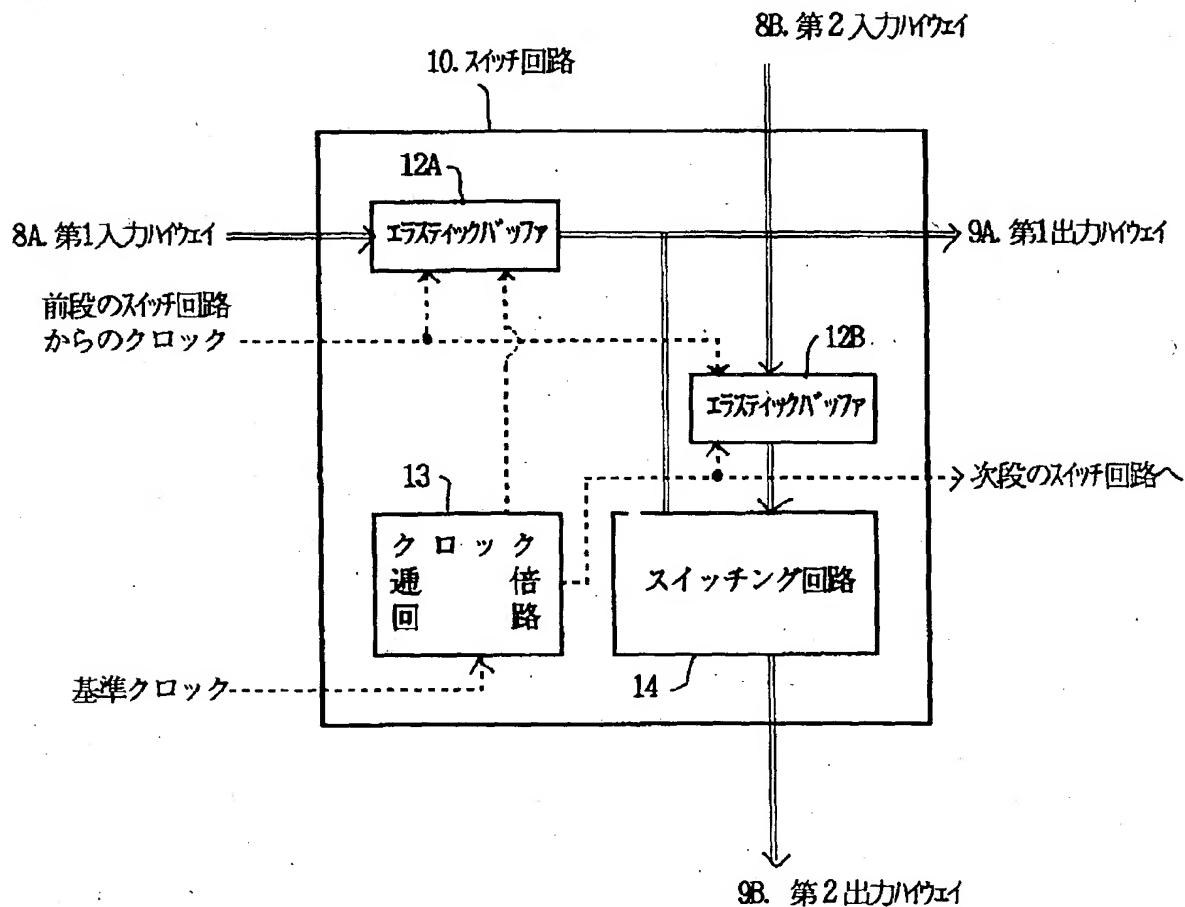
【図5】

本実施例におけるリングオシレータの内部構成図



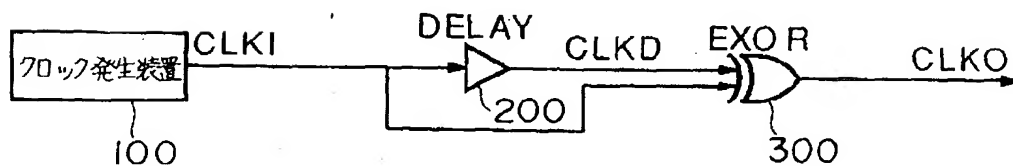
【図3】

本実施例におけるスイッチ回路の内部構成図



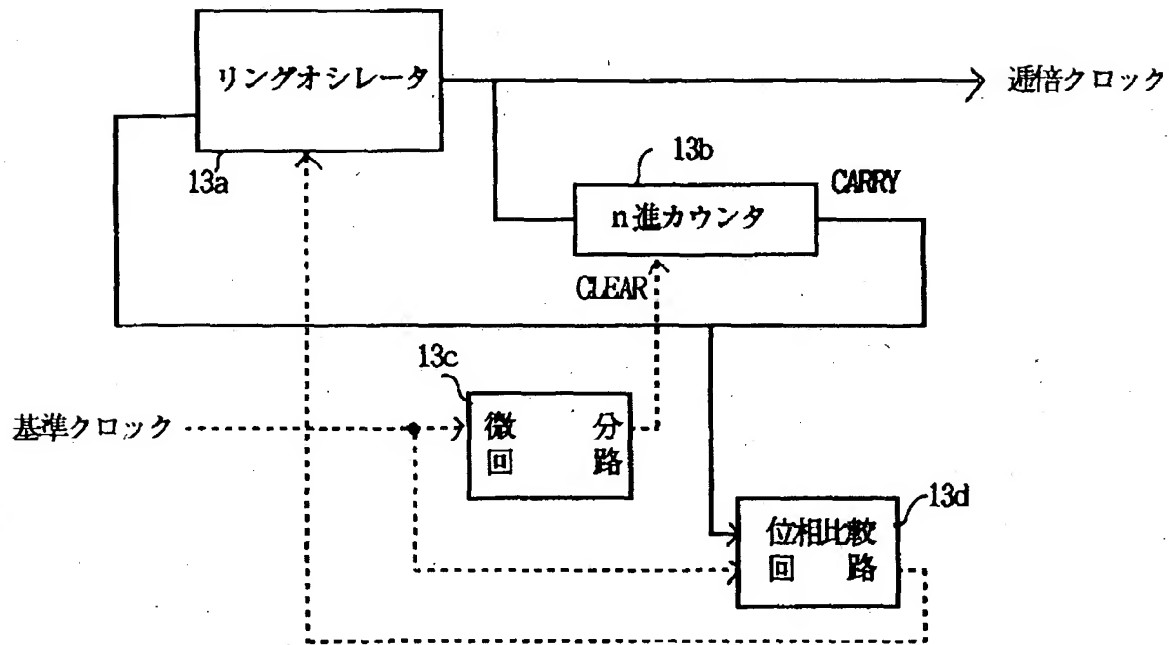
【図7】

従来のクロック2倍周回路の構成図



【図4】

本実施例におけるクロック逡倍回路の内部構成図



【図8】

クロック2倍周回路のタイムチャート図

